



Multifunkční moduly pro USB

UDAQ-3428*/3429*

Programátorská příručka

[illegible]

Výhrada odpovědnosti, autorských práv, ochranných známek a názvů:

Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

Pro případ typografických nebo obsahových chyb si TEDIA® vyhrazuje právo kdykoliv provést opravy nebo zpřesnění publikovaných informací. Právě tak produkty popsané v programátorské příručce mohou být kdykoliv revidovány se záměrem zlepšení technických parametrů nebo dosažení lepších užitečných vlastností. Doporučujeme proto před každým užitím této příručky ověřit, zda není k dispozici vydání nové.

TEDIA® nezodpovídá za žádné škody vzniklé užitím této programátorské příručky nebo informací v příručce obsažených.

Programátorská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) v platném znění.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Kde získat další informace, technická podpora

2. Přehled typů a základní vlastnosti

- 2.1 Úvod
- 2.2 Základní parametry a použitá pouzdra
- 2.3 Přehled dodávaných typů

3. Instalace a využívání modulů

- 3.1 Úvod
- 3.2 Připojení modulu k počítači
- 3.3 Instalace systémového ovladače pro Windows
- 3.4 Ověření komunikace s počítačem
- 3.5 Ověření činnosti
- 3.6 Aktualizace firmware

4. Úvod do programové obsluhy modulů

- 4.1 Úvod
- 4.2 Způsoby komunikace s modulem
- 4.3 Analogové vstupy
- 4.4 Analogové výstupy
- 4.5 Digitální vstupy
- 4.6 Digitální výstupy
- 4.7 Čítače
- 4.8 Obecné procesy
- 4.9 Programování s využitím knihovny TEDIA_TUDFT2

5. Popis registrové struktury

- 5.1 Úvod
- 5.2 Terminologie a obecné informace
- 5.3 Struktura registrů
- 5.4 Struktura registrů digitálních portů (DIO, DIN, DOUT, XDIN)
- 5.5 Struktura registrů analogových výstupů (DAC, AOUT)
- 5.6 Struktura registrů funkčních bloků (čítače, IRC čítače, SSI, ...) a stránka 255
- 5.7 Struktura registrů funkčního bloku čítačů (CNT)
- 5.8 Struktura registrů funkčního bloku IRC čítačů (IRC CNT)
- 5.9 Struktura registrů pro konfiguraci analogových vstupů (ADC, AIN)
- 5.10 Struktura konfiguračních registrů pro konfiguraci měření a generování
- 5.11 Struktura konfiguračních registrů pro spouštění měření a generování
- 5.12 Struktura registrů pro speciální interní funkce

6. Příklady softwarové obsluhy

- 6.1 Úvod
- 6.2 Úvodní inicializace po otevření spojení s modulem
- 6.3 Jednorázový přístup k digitálním vstupům
- 6.4 Jednorázový přístup k digitálním výstupům
- 6.5 Jednorázový přístup k analogovým výstupům
- 6.6 Jednorázový přístup k čítačům
- 6.7 Obsluha měření
- 6.8 Obsluha generování

Prázdná strana

1. Základní informace

1.1 Úvod

Tato programátorská příručka navazuje na uživatelskou příručku USB DAQ modulů řady UDAQ-3428/3429 obsahující ...

- základní technické údaje,
- popis instalace
- a popis zapojení konektorů.

Uživatelská příručka tedy obsahuje všechny informace potřebné pro běžné používání modulů ve spolupráci s hotovými aplikačními programy.

Oproti tomu programátorská příručka obsahuje...

- popis použitého USB řadiče a identifikačních údajů,
- popis všech funkčních registrů modulů
- a popis programování na úrovni registrů.

Programátorská příručka tedy umožňuje programování nad systémovým ovladačem USB řadiče pro Windows pomocí nadstavbové knihovny TEDIA_TUDFT2, jelikož obsahuje kompletní popis registrové struktury a interních funkcionalit. Nezbytná je i dokumentace vlastní knihovny TEDIA_TUDFT2 a k dispozici jsou i dokumenty popisující obecné interní algoritmy společné pro všechny moduly.

Poznámka: Alternativně lze s moduly komunikovat využitím knihovny FTD2xx, v tomto případě je však nezbytné znalost protokolů UP4 a UP1024/1040 použitých pro komunikaci s modulem.

1.2 Kde získat další informace, technická podpora

Další užitečné informace lze získat na adrese...

URL: <https://www.tedia.cz>

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa: TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň, Česká republika

URL: <https://www.tedia.cz/podpora>

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

2. Přehled typů a základní vlastnosti

2.1 Úvod

Dále uvedené odstavce jsou věnovány přehledu a základním technickým parametrům všech dodávaných typů modulů.

2.2 Základní parametry a použitá pouzdra

Moduly využívají robustní hliníková pouzdra řady Eurotainer ve dvou alternativních výškách, viz obrázek vpravo.

Základní typy UDAQ-3428/3429 jsou vestavěny do pouzdra výšky 38 mm, rozšířené typy modulů (označení UDAQ-3428/3429 je doplněno o písmena) jsou vestavěny do pouzdra výšky 57 mm. Uvedené představují samotný tubus (ve všech případech dlouhý 120 mm), vnější rozměry pouzdra jsou větší o plastové díly a gumové nožky přesahující tubus. Viz obrázek na titulní straně příručky.

Na zadní straně všech typů modulů jsou umístěny...

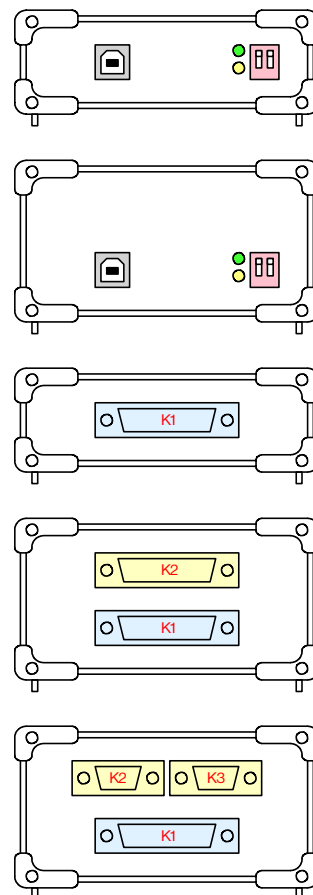
- standardní konektor USB -B
- dvojitý DIP spínač
segment 1 = ON blokuje zápis do Flash paměti
segment 2 = ON nastavuje servisní režim
- zelená LED svitem signalizující napájecí napětí z USB (vyžaduje enumeraci v systému)
- žlutá LED svitem signalizující vysílání dat do počítače, resp. probíhající inicializaci modulu při startu

Na přední straně všech typů modulů jsou umístěny...

- D-Sub 25 M pro analogové vstupy/výstupy + jeden digitální vstup (označen K1, je k dispozici u všech typů modulů)

U rozšířených typů modulů jsou pak navíc umístěny...

- druhý konektor D-Sub 25 M (označen K2),
- nebo druhý konektor D-Sub 9 M a třetí konektor D-Sub 9 M (označeny K2 a K3),
- nebo druhý konektor D-Sub 9 M a třetí konektor D-Sub 9 F (označeny K2 a K3).



USB rozhraní

Moduly jsou vybaveny rozhraním USB 2.0 pracujícím v režimu high-speed (standardní konektor USB-B), bus-powered.

Osazeny jsou řadičem FT2232H (výrobce Future Technology Devices International Ltd.).

Všechny typy modulů využívají tutéž sadu VID/PID (0403_H/ FB72_H), pro vzájemné odlišení se využívají první tři znaky osmimístného výrobního čísla (Serial Number), resp. systémový název (Device Description). Například UDAQ-3428 používá výrobní číslo formátu 300***** a systémový název totožný s typovým označením modulu (tzn. UDAQ-3428).

Napájení modulu

Jelikož proudový odběr všech typů UDAQ-328*/3429* nepřekračuje limitních 0,5 A povolených pro USB 2.0 (odběr typu UDAQ-3429A08 je zcela na hranici 0,5 A), vystačí s napájením z jednoho USB portu.

Ve všech případech lze doporučit krátký USB kabel s nízkým úbytkem napájecího napětí (ideálně do 1 metru), případně navíc použít rozbočovací kabel pro připojení do dvou USB portů vytvářející rezervu pro případy zvýšeného proudového odběru (například přetížení analogových výstupů, platí zejména pro UDAQ-3429A08). Rovněž připojení do portu USB 3.0 je vhodné z důvodu větší proudové zatížitelnosti dimenzované na USB 3.0 zařízení.

Podrobné informace ke kabelům a redukci lze nalézt na URL <https://www.tedia.cz/udaq-kabely>.

Poznámka: Na zakázku lze dodat moduly v provedení napájeném z externího zdroje a proudový odběr z USB portu poklesne na cca 250 mA. Navíc, jelikož je elektronika I/O obvodů napájena z externího zdroje, nehrozí zhoršení vlastností vlastností vlivem nadměrného úbytku napájecího napětí na USB kabelu.

2.3 Přehled dodávaných typů

K datu vydání této příručky byly k dispozici moduly podle tabulky uvedené v níže.

typ modulu	D-Sub v základní úrovni (K1)	D-Sub v druhé úrovni (K2, nebo K2+K3)
UDAQ-3428	1x D-Sub 25 M 8x AIN (diff., 14bit., 200 kHz) 2x AOOUT (S.E., 12bit., 1 MHz) 1x XDIN (izolovaný, signál 5 V)	- - -
UDAQ-3428D8N		2x D-Sub 9 M 8x DIN (izolovaný, signály 24 V) + čítače 8x DOUT (izolovaný, signály 24 V, topologie NPN)
UDAQ-3428D8P		2x D-Sub 9 M 8x DIN (izolovaný, signály 24 V) + čítače 8x DOUT (izolovaný, signály 24 V, topologie PNP)
UDAQ-3428I3		1x D-Sub 25 M 3x vstup pro IRC (TTL/RS-422, 3x enkodér + čítač) 2x DOUT (izolovaný, signály 24 V)
UDAQ-3429	1x D-Sub 25 M 8x AIN (diff., 14bit., 200 kHz) 1x XDIN (izolovaný, signál 5 V)	- - -
UDAQ-3429A08		D-Sub 9 F (AOOUT) a D-Sub 9 M (DIO) 8x AOOUT (S.E., 12bit., 250 kHz) 2x DIN (izolovaný, signály 24 V) + čítače 2x DOUT (izolovaný, signály 24 V)
UDAQ-3429D8N		2x D-Sub 9 M 8x DIN (izolovaný, signály 24 V) + čítače 8x DOUT (izolovaný, signály 24 V, topologie NPN)
UDAQ-3429D8P		2x D-Sub 9 M 8x DIN (izolovaný, signály 24 V) + čítače 8x DOUT (izolovaný, signály 24 V, topologie PNP)
UDAQ-3429I3		1x D-Sub 25 M 3x vstup pro IRC (TTL/RS-422, 3x enkodér + čítač) 2x DOUT (izolovaný, signály 24 V)

3. Instalace a využívání modulů

3.1 Úvod

Dále uvedené odstavce jsou věnovány připojení modulu k počítači, postupu instalace ovladačů a vlastnímu využívání modulu v praktickém provozu.

3.2 Připojení modulu k počítači

Ačkoliv pro připojení k počítači lze použít jakýkoliv USB kabel, doporučujeme použít kabel s nízkým úbytkem napájecího napětí, tedy kabel s nízkou impedancí, a omezit jeho délku na nezbytnou potřebu. Na straně počítače lze využít porty standardu USB 2.0 nebo USB 3.x s konektorem USB-A, případně použít redukci z konektoru USB-C na USB-A.

V případě typů s vyšším proudovým odběrem je zpravidla nutné modul připojit ke dvěma USB portům současně dodávaným rozbočovací kabelem (pro přenos dat je použit jeden USB port, modul je však napájen z obou USB portů). Rozbočovací kabel lze však použít u všech typů, jelikož jeho použití vytváří rezervu pro případy většího proudového odběru (například přetížení analogových výstupů).

Poznámka: Po připojení modulu k zapnutému počítači se může, ale nemusí rozsvítit zelená LED označená PWR; podmínkou rozsvícení LED je instalace ovladače a korektní rozpoznání připojeného modulu v systému.

3.3 Instalace systémového ovladače pro Windows

Systémový ovladač pro Windows je k dispozici na URL <https://www.tedia.cz/d-udaq>.

Ovladač je dostupný ve formě komprimovaného archivu typu ZIP, před instalací je proto potřeba archiv dekomprimovat na disk počítače včetně podsložek (aby byla zachována struktura souborů a složek).

Součástí archivu je i podrobná příručka popisující instalaci, aktualizaci a odinstalaci ovladače.

3.4 Ověření komunikace s počítačem

Je-li systémový ovladač korektně nainstalován a modul připojen k počítači, zelená LED svitem signalizuje přítomnost napájecího napětí.

Krátce po zapnutí napájecího napětí (tzn. po rozsvícení zelené LED) provádí modul inicializaci interních obvodů zahrnující i diagnostiku konfiguračních dat; inicializace trvá přibližně 1-2 sekundy a je signalizována svitem žluté LED.

Po korektním dokončení inicializace žlutá LED pohasne a modul je připraven pro komunikaci s uživatelským programem. Komunikace mezi programem a modulem (resp. reakce modulu na povely ze strany programu) je signalizována blikáním žluté LED, které podle intenzity datových přenosů může splývat do kontinuálního svitu.

Poznámka: Pokud dojde k selhání inicializace a žlutá LED nepohasne ani po uplynutí deseti sekund, modul je schopen komunikovat s diagnostickým programem a lze tak zjistit příčinu selhání.
Diagnostický program je právě jako systémový ovladač k dispozici na webu TEDIA.

3.5 Ověření činnosti

Pro ověření činnosti lze použít jakýkoliv program umožňující číst a zapisovat potřebná data I/O signálů.

3.6 Aktualizace firmware

Moduly obsahují dva řídicí obvody, mikropočítač a hradlové pole FPGA.

Jelikož mikropočítač řeší pouze obecné procedury a obsluhu komunikačního protokolu, jeho firmware je unifikován pro všechny typy modulů a aktualizace firmware není uvažována (resp. vyžaduje zásah na servisním pracovišti TEDIA).

Naopak FPGA má implementovány všechny funkční algoritmy modulu, obsluhu I/O signálů a přenosy dat, firmware je proto vytvářen specificky pro každý typ modulu a každé rozšiřování funkcionality vyžaduje jeho aktualizaci. Z tohoto důvodu je aktualizace firmware dostupná i běžnému uživateli jednoduchým programem.

4. Úvod do programové obsluhy modulů

4.1 Úvod

Dále uvedené odstavce jsou věnovány úvodnímu popisu programové obsluhy a základním funkcionalitám celé řady modulů UDAQ-3428*/3429*.

Pro porozumění je vhodné nahlédnout i do dokumentů...

- Postup při vývoji software pro UDAQ moduly druhé generace
- UDAQ moduly druhé generace, společné vlastnosti
- Programátorská příručka knihovny TEDIA_TUDFT2

Všechny dokumenty jsou k dispozici na URL <https://www.tedia.cz/d-udaq>.

4.2 Způsoby komunikace s modulem

Všechny typy modulů jsou osazeny řadičem FT2232H vytvářejícím v systému dvě zařízení označená A a B.

Zařízení A je na straně modulu obsluhováno mikropočítačem, komunikace probíhá metodou dotaz/odpověď pomocí protokolu UP4. Jinak řečeno, program v počítači vysílá povely a dotazy, mikropočítač je zpracuje a odpovídá potvrzení povelu a případně i požadovanými daty. Z důvodu urychlení komunikace protokol UP4 umožňuje v jednom povelu předat až několik desítek požadavků na zápis nebo čtení registrů naráz, celou řadu softwarových obsluh tak lze integrovat do jediného povelu.

Zařízení B je na straně modulu obsluhováno hradlovým polem FPGA a dvěma datovými zásobníky (typicky 2 MB pro každý směr), komunikace probíhá v obou směrech metodou kontinuálního datového toku protokolem UP1024/1040. Jinak řečeno, program v počítači přijímá kontinuální data z modulu (typicky naměřená data z analogových vstupů) a vysílá do modulu kontinuální data, která FPGA zpracuje a přenáší na generované výstupy (typicky na analogové výstupy).

Kombinace obou datových kanálů programu umožňuje...

- konfigurovat analogové vstupy, čítače a další periferie, konfigurovat měření a generování (kanál A)
- jednorázově číst hodnoty digitálních vstupů, čítačů, ale i analogových vstupů, je-li spuštěno měření (kanál A)
- jednorázově zapisovat hodnoty digitálních výstupů, analogových výstupů apod. (kanál A)
- spouštět/zastavovat měření a generování, číst stavové informace o zaplnění datových zásobníků (kanál A)
- zpracovávat naměřené hodnoty přenášené ve formě kontinuálního datového toku (kanál B)
- ve formě kontinuálního datového toku předávat hodnoty pro generování analogových signálů (kanál B)
- přistupovat k EEPROM/flash desky např. při aktualizaci firmware FPGA nebo správě kalibračních konstant (kanál A)

4.3 Analogové vstupy

Každý analogový vstup je (na rozdíl od multiplexovaných obvodových řešení) vybaven kompletním řetězcem obsahujícím zesilovač a A/D převodník, vstupy se tedy nijak neovlivňují a vzorkovací frekvence je nezávislá na počtu měřených signálů. Je-li například měřen pouze jeden vstup vzorkovací frekvencí 200 kHz, modul sice provádí měření všech vstupů, zpracovává však data pouze vybraného vstupu (= vybraného A/D převodníku) a kanálem B přenáší datový tok 400 kB/s. Je-li však nakonfigurováno měření všech osmi vstupů vzorkovací frekvencí 200 kHz, modul zpracovává data ze všech osmi A/D převodníků a kanálem B přenáší datový tok 3,2 MB/s. Parametry měření signálů tedy nejsou nijak závislé na počtu zpracovávaných A/D převodníků, odlišuje se jen celkový datový tok.

Měření analogových vstupů vyžaduje úvodní konfiguraci zahrnující...

- výběr vstupů, které mají být měřeny
- nastavení pracovního rozsahu pro každý vstup (neplatí pro UDAQ-3428*/3429* nabízející jen jeden rozsah)
- zvolení pracovního režimu a vzorkovací frekvence

Následně lze spustit proces měření. kdy jsou analogové signály digitalizovány, následně data A/D převodníků zpracována kalibračním přepočtem (lineární interpolace), ukládána do zásobníku dat typu FIFO pro přenos kanálem B a navíc ukládána do záchytné paměti obsahující poslední naměřenou hodnotu každého měřeného signálu.

Program v počítači přijímá datový tok kanálem B (tzn. kontinuálně digitalizovaná data); jelikož jsou tato data zatížena zpožděním daným datovým zásobníkem v modulu, zpracováním dat v počítači atd., může program souběžně kanálem A číst i aktuální hodnoty měřených signálů.

Poznámka: V závislosti na verzi firmware lze spolu s hodnotami analogových vstupů přenášet kanálem B i hodnoty digitálních vstupů, čítačů, případně i aktuální hodnoty analogových výstupů.

4.4 Analogové výstupy

Každý analogový výstup je vybaven kompletním řetězcem obsahujícím D/A převodník a zesilovač, výstupy se tedy nijak vzájemně neovlivňují.

Vzorkovací (resp. generovací) frekvence je limitována dvěma parametry, vlastním D/A převodníkem na hodnotě 1000 kHz a datovým tokem 4 MB/s. Tato omezení společně umožňují generovat dva signály frekvencí až 1000 kHz, čtyři signály frekvencí až 500 kHz nebo osm signálů frekvencí až 250 kHz.

Analogové výstupy lze ovládat softwarově (tedy diskretními zápisy dat pomocí kanálu A) nebo využít kontinuální data přenášená kanálem B a zapisovat je do D/A převodníků zvolenou frekvencí. Toto generování analogových signálů vyžaduje úvodní konfiguraci zahrnující...

- výběr výstupů, které mají být generovány daty přenášenými kanálem B (tyto výstupy pak nelze ovládat softwarově)
- nastavení pracovního rozsahu pro každý výstup (neplatí pro UDAQ-3428*/3429* nabízející jen jeden rozsah)
- zvolení vzorkovací frekvence zápisů dat do D/A převodníků

Následně může program spustit proces zápisu počátečních dat (tzn. naplnění zásobníku FIFO v modulu bez přenosů do D/A převodníků, tzn. přenést kanálem B do modulu první část dat) a poté spustit proces generování s tím, že program musí po celou dobu generování doplňovat data kanálem B do zásobníku FIFO v modulu tak, aby nedošlo k jeho vyprázdnění.

Poznámka: V závislosti na verzi firmware lze spolu s hodnotami analogových výstupů přenášet kanálem B i hodnoty digitálních výstupů a souběžně s analogovými signály generovat i sekvence digitálních signálů.

4.5 Digitální vstupy

Digitální vstupy zpravidla nevyžadují žádnou konfiguraci a jejich stav lze rovnou číst povely kanálu A.

Pokud firmware umožňuje synchronní záznam spolu s analogovými vstupy a přenos kanálem B, mohou být stavy vstupů zpracovávány oběma způsoby současně.

4.6 Digitální výstupy

Digitální výstupy zpravidla nevyžadují žádnou konfiguraci a jejich stav lze rovnou ovládat povely kanálu A; aktuální stav lze zpravidla i zpětně číst povely kanálu A.

Pokud firmware umožňuje synchronní záznam spolu s analogovými vstupy a přenos kanálem B, mohou být přenášeny aktuální stavy výstupů.

Pokud firmware umožňuje synchronní generování spolu s analogovými výstupy, lze stav výstupů řídit daty kanálu B; v takovém případě je nezbytná konfigurace způsobu řízení výstupů a výstupy zvolené jako generované pak nelze ovládat softwarově.

4.7 Čítače

Čítače, obyčejné jednosměrné nebo IRC s kvadrurním enkodérem, zpravidla vyžadují konfiguraci a následné ovládání (povolení čítání, nulování apod.). Jejich stav lze nastavit povely kanálem A a aktuální stav číst rovněž povely kanálu A. Pokud firmware umožňuje synchronní záznam spolu s analogovými vstupy a přenos kanálem B, mohou být stavy čítačů zpracovávány oběma způsoby současně.

4.8 Obecné procesy

Po zapnutí napájecího napětí, případně resetu, je prováděna řada inicializačních kroků, zejména...

- zavedení firmware z flash paměti do FPGA
- kontrola konfiguračních dat FPGA (například kalibračních konstant)
- porovnání obsahu EEPROM umístěných na I/O deskách s konfigurační pamětí řídicí desky

Je-li některý z uvedených kroků neúspěšný, modul přechází do stavu, kdy lze kanálem A diagnostikovat a zpravidla odstranit chybu, modul však nepřejde do provozního stavu.

Poznámka: Průběh inicializace je podrobně popsán v dokumentu UDAQ moduly druhé generace, společné vlastnosti. Dokument je k dispozici na URL <https://www.tedia.cz/d-udaq>.

Proběhnou-li všechny kroky v pořádku, modul přechází do režimu IDLE; všechny výstupní porty zůstávají ve výchozím bezpečném stavu (analogové výstupy nastaveny na napětí 0 V, digitální výstupy deaktivovány, apod.) a modul čeká na povel programu, který aktivuje režim RUN. V režimu IDLE jsou odmítány povely přistupující do funkčních registrů.

Pro převedení do režimu RUN vyhrazeným povelům je nezbytné, aby bylo v pořádku napájecí napětí jedné, resp. obou I/O desek; není-li to splněno, modul odmítne přepnutí do režimu RUN.

Je-li režim RUN aktivován, modul je schopen plné činnosti. Zpět do režimu IDLE modul přechází buď vyhrazeným povelům, nebo výpadkem napájecího napětí některé z I/O desek, nebo resetem. Dojde-li k přechodu do režimu IDLE z hlediska programu nevyžádaným způsobem, program tento stav zjistí odmítnutím přístupu do funkčních registrů. V případě přenosů kanálem B je přechod do režimu IDLE signalizován zastavením přenosů.

Přepínání režimů a vyhodnocování chyb popsané v předešlých odstavcích musí program řešit pouze v případě, kdy je využívám přímo přístup s využitím knihovny FTD2xx a protokolů UP4 a UP1024/1040; v případě knihovny TEDIA_TUDFT2 jsou tyto režimy přepínány a chybové stavy vyhodnocovány přímo TEDIA_TUDFT2 knihovnou. Principiální postupy jsou však zachovány a chyby vzniklé vadným obsahem EEPROM/flash paměti, resp. výpadky napájecích napětí jsou zpracovávány i v tomto případě.

4.9 Programování s využitím knihovny TEDIA_TUDFT2

Programování s využitím knihovny TEDIA_TUDFT2 izoluje program od řady specifických úloh a

Knihovna umožňuje...

- zvolit vhodný modul ze seznamu poskytnutým knihovnou a otevření spojení s tímto modulem (knihovna automaticky otevírá spojení s oběma kanály A+B, testuje příznaky a aktivuje režim RUN)
- přistupovat k funkčním registrům modulu pomocí kanálu A (registry jsou podrobně popsány v následujících kapitolách)
- spouštět a ukončovat měření/generování
- zpracovat příznaky a chybová hlášení

Ačkoliv je obecná představa o vlastnostech protokolů UP4 a UP1024/1040 vhodná, použití knihovny TEDIA_TUDFT2 nevyžaduje jejich znalost.

API knihovny umožňuje přístup k funkčním registrům FPGA pomocí dvou implementovaných funkcí (bez potřeby znalosti UP4 protokolu) a volitelné callback funkcionality.

Kanál B s protokolem UP1024/1040 je kompletně obsluhován interními procesy ovladače (tzn. přenos dat mezi FIFO zásobníky modulu a interními zásobníky ovladače) a uživatelský program má k dispozici funkce pro přístup k datovým zásobníkům ovladače, resp. funkce pro zjištění stavu zaplnění jednotlivých zásobníků a stavu procesů přenášejících data. Uživatelský program je také zodpovědný za spuštění/zastavení těchto procesů ovladače (vyhrazená funkce API) v návaznosti na start/stop měření a generování v modulu (obsluha registrů FPGA).

Poznámka: Funkce a využití knihovny TEDIA_TUDFT2 jsou podrobně popsány v samostatné programátorské příručce.

5. Popis registrové struktury

5.1 Úvod

Dále uvedené odstavce jsou věnovány popisu funkčních registrů FPGA zpřístupněných protokolem UP4 počítači.

Popis vychází z verze firmware 1.0, rozdíly oproti předešlým verzím 0.x jsou zmíněny v textu.

5.2 Terminologie a obecné informace

V následujícím textu jsou používány následující zkratky a pojmy...

AIN	analogový vstup
ADC	A/D převodník; obvod, umožňující digitalizovat analogový signál
AOUT	analogový výstup
DAC	D/A převodník; obvod, generující na svém výstupu analogový signál v závislosti na zapisovaných datech
DIO	digitální vstupy a výstupy
DIN	digitální vstup
DOUT	digitální výstup
CNT	čítač událostí
IRCCNT	čítač s enkodérem pro IRC snímače
FIFO	dva zásobníky typu FIFO vložené mezi naměřená data a kanál B, resp. kanál B a generovaná data
SWFIFO	malý zásobník typu FIFO po blokový přístup k naměřeným hodnotám a následný přenos kanálem A

Pro přístup k registrům platí následující obecná pravidla...

- registry délky 16/24/32 bitů se musejí zapisovat všechny počínaje nejnižší adresou (je-li nezbytné synchronní zpracování celého obsahu, k akceptování dat dojde zápisem do registru s nejvyšší adresou)
- registry délky 16/24/32 bitů se musejí číst počínaje nejnižší adresou (čtením nejnižší adresy dojde k zachycení obsahu do vyšších byte registru)
- registry délky 16/24/32 bitů obsahují vždy na nejnižší adrese nejnižší bity a nejvyšší adrese nejvyšší bity
- bipolární číselné hodnoty jsou vždy v přímém kódu (tzn. 0 představuje nejzápornější číslo)
- nedokumentované registry jsou rezervovány a jejich zápis nebo čtení může vyvolat nedefinovanou odezvu
- přístup k servisním registrům není povolen; může způsobit chybnou činnost a v případě systémových registrů navíc přepis kalibračních konstant apod. vyžadující restart modulu (dojde k obnovení konstant z EEPROM paměti)

5.3 Struktura registrů

V tabulce níže je uveden přehled funkčních registrů strukturovaný do bloků podle významu.

Přehled registrů	
ADR	význam registrů
+0F...00	registry pro DIO porty (až osm), konfigurační registry DIO portů a speciální DIO porty
+1F...10	registry pro DAC (až osm DAC)
+3F...20	registry pro CNT, IRCCNT, SSI apod. (až 128 různých I/O radičů)
+AF...40	rezerva
+BF...B0	konfigurační registry pro AIN (až 16 AIN)
+CF...C0	konfigurační registry scanovací a generovací logiky
+DF...D0	registry pro start/stop měření a generování, registry pro softwarové čtení
+EF...E0	registry pro speciální interní funkce (volnoběžný čítač, atd.)
+FF...F0	systémové registry zápis nebo čtení registrů z tohoto bloku může způsobit těžko definovatelné chování vyžadující restart

5.4 Struktura registrů digitálních portů (DIO, DIN, DOUT, XDIN)

V tabulce níže je uveden přehled registrů digitálních portů.

Registry pro obsluhu DIO portů		
ADR (HEX)	význam registru	
	WR	RD
+00	DOUT0Reg datový registr digitálních výstupů DOUT	zpětné čtení hodnoty zapsané do registru
+01	(rezerva)	DIN1Reg aktuální stav digitálních vstupů DIN
+02	(rezerva)	(rezerva)
...		
+0E		
+0F	(rezerva)	XDINReg aktuální stav digitálních vstupů XDIN

Počet digitálních vstupů/výstupů je závislý na typu modulu, viz tabulka níže.

typ modulu	DOUT	DIN	XDIN
UDAQ-3428, UDAQ-3429	0	0	1
UDAQ-3428D8N, UDAQ-3428D8P, UDAQ-3429D8N, UDAQ-3429D8P	8	8	1
UDAQ-3428I3, UDAQ-3429I3	2	0	1
UDAQ-3429A08	2	2	1

Jedním registrem může být ovládáno až osm DOUT signálů, resp. čten stav až osmi DIN signálů.

Je-li modul vybaven nižším počtem signálů než osm, v registru je platný odpovídající počet nejnižších bitů; nevyužité bity jsou při zápisu ignorovány a při čtení nulovány.

Registry *DOUT*Reg* a *DIN*Reg* mohou být implementovány i u typů, které nejsou digitálními porty vybaveny; do registru lze tedy zapsat a zpětně číst osmibitovou hodnotu, data však nemají žádný funkční význam.

Upozornění: Registr pro přístup k XDIN vstupům na adrese +0F byl implementován až ve verzi firmware 1.0, předešlé verze 0.x využívaly registr na adrese +20 nově vyhrazený pro čítače.

5.5 Struktura registrů analogových výstupů (DAC, AOUT)

V tabulce níže je uveden přehled registrů analogových výstupů.

Registry pro obsluhu analogových výstupů		
ADR (HEX)	význam registru	
	WR	RD
+10	DAC0Reg	zpětné čtení hodnoty zapsané do registru
+11	datový registr analogového výstupu AOUT0	
+12	DAC1Reg	zpětné čtení hodnoty zapsané do registru
+13	datový registr analogového výstupu AOUT1	
+14	DAC2Reg	zpětné čtení hodnoty zapsané do registru
+15	datový registr analogového výstupu AOUT2	
+15	DAC3Reg	zpětné čtení hodnoty zapsané do registru
+17	datový registr analogového výstupu AOUT3	
+18	DAC4Reg	zpětné čtení hodnoty zapsané do registru
+19	datový registr analogového výstupu AOUT4	
+1A	DAC5Reg	zpětné čtení hodnoty zapsané do registru
+1B	datový registr analogového výstupu AOUT5	
+1C	DAC6Reg	zpětné čtení hodnoty zapsané do registru
+1D	datový registr analogového výstupu AOUT6	
+1E	DAC7Reg	zpětné čtení hodnoty zapsané do registru
+1F	datový registr analogového výstupu AOUT7	

Počet analogových výstupů je závislý na typu modulu, viz tabulka níže.

typ modulu	AOUT (DAC)
UDAQ-3428, UDAQ-3428D8N, UDAQ-3428D8P, UDAQ-3428I3	2
UDAQ-3429, UDAQ-3429D8N, UDAQ-3429D8P, UDAQ-3429I3	0
UDAQ-3429A08	8

Moduly mají implementovány registry pro ovládání až osmi analogových výstupů v režimu softwarového řízení.

D/A převodníky používají přímý kód, hodnota 0000_H představuje napětí -10 V, hodnota FFFF_H představuje napětí +10 V a hodnota 8000_H představuje nulové napětí na výstupu; 16bitová hodnota je složená ze dvou registrů, nižších osm bitů je uloženo vždy na nižší ze dvou adres.

Při zápisu dolních osmi bitů jsou data jen uložena do registru (tzn. zápis nevyvolá žádný datový přenos do D/A převodníků). Zápisem horních osmi bitů jsou aktuální data dvojice registrů zpracována lineární interpolací provádějící kalibraci na pracovní rozsah ±10 V a následně zapsána do 12bitového D/A převodníku.

Pokud jsou oba/všechny analogové výstupy nastaveny v režimu softwarového řízení, projeví se zápis do **DAC*Reg** registru na analogovém výstupu ihned.

Obsah registru může být modifikován i při spuštěném generování; zápis do registru výstupu nastaveného do režimu softwarové řízení se projeví synchronně s první změnou hodnoty generovaných signálů, zápis do registru výstupu nastaveného do režimu generování se projeví až po přepnutí do režimu softwarového řízení.

V závislosti na verzi firmware mohou být implementovány i registry neexistujících analogových výstupů; do registrů lze tedy zapsat a zpětně přečíst obsah, data však nemají žádný funkční význam.

5.6 Struktura registrů funkčních bloků (čítače, IRC čítače, SSI, ...) a stránka 255

V tabulce níže je uveden přehled společných registrů vyhrazených pro funkční bloky.

Registry pro obsluhu funkčních bloků		
ADR (HEX)	význam registru	
	WR	RD
+20 ... +2F	stránkované registry funkčních bloků (popsány samostatně podle typu funkčního bloku)	
+30	PageSelectReg přepínání přístupu k 256 registrovým blokům na adresách +2F...20	zpětné čtení hodnoty zapsané do registru
+31	PagesCWReg zápis do tohoto registru provede simultánní zápis do všech registrů +2F povolených maskou na stránce 255; význam dat je popsáný v registrových blocích	(rezerva)
+32 ... +2F	(rezerva)	(rezerva)

Jelikož použitý protokol UP4 a tedy i firmware předpokládá model 256 osmibitových registrů, je nezbytné registrové náročnější funkční bloky mapovat do registrové struktury nepřímo, resp. registry funkčních bloků stránkovat.

Firmware má vyhrazen interval adres +2F...20, do kterého přepíná (tzn. stránkuje) jednotlivé registry funkčních bloků; pro výběr funkčního bloku (tedy stránky registrů) je určen osmibitový registr *PageSelectReg* umožňující mapovat 256 stránek registrových bloků, každý délky 16 registrů.

Pro moduly řady UDAQ-3000 jsou stránky rozděleny do skupin...

0÷31	jednosměrné čítače
32÷47	obousměrné IRC čítače
48÷63	SSI rozhraní
64÷127	rezerva pro další I/O řadiče
128÷254	rezerva pro speciální registry
255	maska pro synchronní ovládání stránek 0÷127 (viz navazující popis)

Registr *PagesCWReg* slouží k synchronnímu ovládání více funkčních bloků současně. Zápis do tohoto registru provede de facto simultánní zápis do všech registrů na adrese +2F (společně označeny *Page***CWReg*) povolených maskou v bloku 255; význam dat registru na adrese +2F je popsáný v souvislosti s jednotlivými typy registrových bloků a je v maximální míře unifikovaný.

Stránka 255 (maska pro synchronní ovládání)

Stránky 255 má v celém rozsahu 16 byte (tzn. 128 bitů) vyhrazen jeden bit jedné stránky z intervalu 0÷127; bit D0 na adrese +20 je přidělen stránce 0, bit D7 na adrese +20 je přidělen stránce 7 až bit D7 na adrese +2F je přidělen stránce 127.

Je-li bit přidělený stránce nastaven na hodnotu 1, zápis na adresu +31 (tzn. registr *PagesCWReg*) je interpretován jako zápis na adresu +2F dané stránky (tzn. registr *Page***CWReg*). V případě nastavení více bitů (popř. všech) registrů stránky 255 na hodnotu 1 dojde k současnému zápisu do více (popř. všech) *Page***CWReg* registrů.

Tímto mechanismem lze synchronně nulovat, nastavovat a zachycovat obsahy vybraných čítačů, synchronně je spouštět a zastavovat atd. Mechanismus je navíc funkční napříč různými typy bloků a lze ovládat obvyčejné čítače, IRC čítače i SSI rozhraní (v rozsahu podporovaných funkcí).

5.7 Struktura registrů funkčního bloku čítačů (CNT)

V tabulce níže je uveden přehled registrů jednosměrných čítačů mapovaných do stránek 0÷31 adresových bloků +2F...20.

Registry pro obsluhu funkčního bloku čítačů		
ADR (HEX)	význam registru (předdefinováno pro ** v rozsahu 0÷31 a *** v rozsahu 0÷31)	
	WR	RD
+20	CNT**SetReg datový registr hodnot zapisovaných do čítače	CNT**StrReg datový registr zachycených hodnot čítače
+21		
+22		
+23		
+24	(rezerva)	(rezerva)
...		
+2E		
+2F	Page***CWReg zápis do tohoto registru ovládá funkcionality bloku D0=1: nulování hodnoty čítače D1=1: přenesení hodnoty CNT**SerReg do čítače D2=1: zachycení aktuální hodnoty do CNT**StrReg D3=1: rezerva D4=1: nastaví řídicí signál ENB na hodnotu 0 D5=1: nastaví řídicí signál ENA na hodnotu 0 D6=1: nastaví řídicí signál ENB na hodnotu 1 D7=1: nastaví řídicí signál ENA na hodnotu 1	Page***CWStatusWReg D5÷D0: rezerva D6: stav řídicí signálu ENB D7: stav řídicí signálu ENA

Poznámka: Pro moduly řady UDAQ-3000 je uvažováno až 32 jednosměrných čítačů mapovaných do stránek 0÷31, v případě typů UDAQ-3428*/3429* je implementováno v závislosti na počtu digitálních vstupů nejvýše osm čítačů (tzn. funkční jsou registry ** v rozsahu 0÷7, *** v rozsahu 0÷7).

Page***CWReg a Page***CWStatusReg

Řídicí registr stránky označený **Page***CWReg** (** představuje číslo stránky v rozsahu 0÷31) umožňuje čtyřmi nejnižšími bity hodnotu čítače nulovat, nastavit a zachytit do registru a zpřístupnit ke čtení. Funkcionality **Page***CWReg** jsou přidělené bitově a rozhodující hodnotou je 1 (zápis bitové hodnoty 0 je nevýznamný; zápis hodnoty 1 nevyžaduje následný zápis hodnoty 0); například zápisem 00000101_B dojde k zachycení aktuálního stavu čítače a v zápatí vynulování čítače (časový rozdíl jednotek nanosekund je z funkčního hlediska zcela nevýznamný).

Vyšší čtyři bity jsou využity k ovládání dvou řídicích signálů označených ENA a ENB; zápisem hodnoty obsahující bit D7=1 dojde k nastavení signálu do stavu ENA=1, zápisem hodnoty obsahující bit D5=1 dojde k nastavení signálu do stavu ENA=0; v případě zápisu hodnoty D5=1 a D7=1 má prioritu bit D5 a signál ENA se vynuluje, resp. zůstane v nulovém stavu. Analogicky bity D4 a D6 ovládají signál ENB.

Aktuální stav signálů ENA a ENB lze zjistit pomocí **Page**CWStatusReg**.

V případě jednosměrných čítačů je signál ENA použit k povolení čítání (je-li ENA=0, čítač ignoruje vstupní signál; je-li ENA=1, čítač zpracovává vstupní signál) a signál ENB není využit.

Poznámka: Registr **PagesCWReg** na adrese +31 umožňuje přístup do více **Page**CWReg** současně.

CNT**SetReg (registr pro nastavení hodnoty čítače)

Registr označený **CNT**SetReg** umožňuje přednastavit hodnotu a následně ji přenést do čítače (viz popis bitu D1 registru **Page**CWReg**).

CNT**StrReg (registr pro čtení hodnoty čítače)

Registr označený **CNT**StrReg** je vyhrazen pro zachycení aktuální hodnoty čítače (viz popis bitu D2 registru **Page**CWReg**) a následnému čtení.

5.8 Struktura registrů funkčního bloku IRC čítačů (IRC CNT)

V tabulce níže je uveden přehled registrů IRC čítačů mapovaných do stránek 32÷47 adresových bloků +2F...20.

Registry pro obsluhu funkčního bloku čítačů		
ADR (HEX)	význam registru (předdefinováno pro ** v rozsahu 0÷15 a *** v rozsahu 32÷47)	
	WR	RD
+20	IRCCNT**SetReg datový registr hodnot zapisovaných do čítače	IRCCNT**StrReg datový registr zachycených hodnot čítače
+21		
+22		
+23		
+24	IRCCNT**RngReg registr pro nastavení rozsahu čítání	(rezerva)
+25		
+26		
+27		
+28	(rezerva)	(rezerva)
...		
+2B		
+2C	IRCCNT**CfgReg registr pro konfiguraci enkodéru vstupních signálů	zpětné čtení hodnoty zapsané do registru
+2D	(rezerva)	IRCCNT**StatusReg stavové příznaky enkodéru vstupních signálů
+2E	(rezerva)	(rezerva)
+2F	Page***CWReg zápis do tohoto registru ovládá funkcionality bloku D0=1: nulování hodnoty čítače D1=1: přenesení hodnoty CNT**SerReg do čítače D2=1: zachycení aktuální hodnoty do CNT**StrReg D3=1: rezerva D4=1: nastaví řídicí signál ENB na hodnotu 0 D5=1: nastaví řídicí signál ENA na hodnotu 0 D6=1: nastaví řídicí signál ENB na hodnotu 1 D7=1: nastaví řídicí signál ENA na hodnotu 1	Page***CWStatusWReg D5÷D0: rezerva D6: stav řídicí signálu ENB D7: stav řídicí signálu ENA

Poznámka: Pro moduly řady UDAQ-3000 je uvažováno až 16 IRC čítačů mapovaných do stránek 32÷47, v případě typů UDAQ-3428*/3429* jsou však implementovány nejvýše tři IRC čítače (tzn. funkční jsou registry označené ** v rozsahu 0÷2 a *** v rozsahu 32÷34).

Page***CWReg a Page***CWStatusReg

Řídicí registr stránky označený *Page***CWReg* (***) představuje číslo stránky v rozsahu 32÷47) umožňuje čtyřmi nejnižšími bity hodnotu IRC čítače nulovat, nastavit a zachytit do registru a zpřístupnit ke čtení. Funkcionality *Page***CWReg* jsou přidělené bitově a rozhodující hodnotou je 1 (zápis bitové hodnoty 0 je nevýznamný; zápis hodnoty 1 nevyžaduje následný zápis hodnoty 0); například zápisem 00000101_B dojde k zachycení aktuálního stavu IRC čítače a vzápětí vynulování IRC čítače (časový rozdíl jednotek nanosekund je z funkčního hlediska zcela nevýznamný).

Vyšší čtyři bity jsou využity k ovládání dvou řídicích signálů označených ENA a ENB; zápisem hodnoty obsahující bit D7=1 dojde k nastavení signálu do stavu ENA=1, zápisem hodnoty obsahující bit D5=1 dojde k nastavení signálu do stavu ENA=0; v případě zápisu hodnoty D5=1 a D7=1 má prioritu bit D5 a signál ENA se vynuluje, resp. zůstane v nulovém stavu. Analogicky bity D4 a D6 ovládají signál ENB.

Aktuální stav signálů ENA a ENB lze zjistit pomocí *Page***CWStatusReg*.

V případě IRC čítačů je signál ENA použit k povolení čítání (je-li ENA=0, čítač ignoruje vstupní signály A/B; je-li ENA=1, čítač zpracovává vstupní signály A/B) a signál ENB použit k povolení čítání (je-li ENB=0, čítač ignoruje vstupní signál R; je-li ENB=1, čítač zpracovává vstupní signál R).

Poznámka: Registr *PagesCWReg* na adrese +31 umožňuje přístup do více *Page***CWReg* současně.

IRCCNTCWReg (konfigurační registr enkodéru vstupních signálů)**

Registr označený *IRCCNT**CWReg* umožňuje konfigurovat enkodér vstupních signálů.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	MODE			ERR	RSRV	LPF	R_CFG

R_CFG	volba polarity nulovacího pulsu (signál IRCCNT*_R)
0	čítač nulován úrovní L vstupního signálu
1	čítač nulován úrovní H vstupního signálu
LPF	aktivace dolnoproustního filtru enkodéru vstupních signálů
0	filtr vypnut
1	filtr aktivován
ERR	nulování příznaku ERR v IRCCNT*StatReg
0	bez významu, stav příznaku zachován
1	příznak vynulován (generuje krátký puls, následný zápis 0 není vyžadován)
MODE	volba pracovního režimu čítače (podrobně popsány v uživatelské příručce)
000	kvadrurní enkodér, režim X1
001	kvadrurní enkodér, režim X2
010	kvadrurní enkodér, režim X4
011	rezerva
100	režim "up/down"
101	režim "count/dir"
110	režim "count/gate"
111	rezerva
RSRV	rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

IRCCNTStatReg (stavový registr enkodéru vstupních signálů)**

Registr označený *IRCCNT**StatusReg* zpřístupňuje stavové příznaky enkodéru vstupních signálů.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	ERR	IRCCNT*_R	IRCCNT*_B	IRCCNT*_A

IRCCNT0_A	aktuální stav signálu IRCCNT0_A
IRCCNT0_B	aktuální stav signálu IRCCNT0_B
IRCCNT0_R	aktuální stav signálu IRCCNT0_R
ERR	chybový příznak signalizující "přeskočení" fáze kvadrurního signálu v režimech X1, X2 a X4 nebo detekovaný současný stav signálů IRCCNT0_A=L a IRCCNT0_B=L v režimu "up/down"
0	od posledního nulování příznaku nebyla detekována chyba
1	od posledního nulování příznaku byla detekována chyba
RSRV	rezerva (z důvodu dopředné kompatibility je doporučeno hodnoty ignorovat)

IRCCNTRngReg (konfigurace rozsahu čítání)**

Registr označený *IRCCNT**RngReg* umožňuje nastavit rozsah čítání IRC čítače v rozsahu od 0+1 (***RngReg* = 1) až po rozsah od 0+4294967295 (***RngReg* = 4294967295).

IRCCNTSetReg (registr pro nastavení hodnoty čítače)**

Registr označený *IRCCNT**SetReg* umožňuje přednastavit hodnotu a následně ji přenést do čítače (viz popis bitu D1 registru *Page**CWReg*).

IRCCNTStrReg (registr pro čtení hodnoty čítače)**

Registr označený *IRCCNT**StrReg* je vyhrazen pro zachycení aktuální hodnoty čítače (viz popis bitu D2 registru *Page**CWReg*) a následnému čtení.

5.9 Struktura registrů pro konfiguraci analogových vstupů (ADC, AIN)

V tabulce níže je uveden přehled registrů pro konfiguraci analogových vstupů.

Registry pro konfiguraci analogových vstupů		
ADR (HEX)	význam registru	
	WR	RD
+B0	ADC0CfgReg konfigurační registr analogového vstupu AIN0 0 = vstup není měřen 1 = vstup měřen na základním rozsahu x = různé další rozsahy a režimy (můstek/půlmůstek/...)	zpětné čtení hodnoty zapsané do registru se zohledněním platných hodnot závislých na typu modulu
+B1	ADC1CfgReg konfigurační registr analogového vstupu AIN1	zpětné čtení se zohledněním platných hodnot
+B2	ADC2CfgReg konfigurační registr analogového vstupu AIN2	zpětné čtení se zohledněním platných hodnot
+B3	ADC3CfgReg konfigurační registr analogového vstupu AIN3	zpětné čtení se zohledněním platných hodnot
+B4	ADC4CfgReg konfigurační registr analogového vstupu AIN4	zpětné čtení se zohledněním platných hodnot
+B5	ADC5CfgReg konfigurační registr analogového vstupu AIN5	zpětné čtení se zohledněním platných hodnot
+B6	ADC6CfgReg konfigurační registr analogového vstupu AIN6	zpětné čtení se zohledněním platných hodnot
+B7	ADC7CfgReg konfigurační registr analogového vstupu AIN7	zpětné čtení se zohledněním platných hodnot
+B8 ... +BF	ADC8CfgReg ... ADC15CfgReg rezerva pro další analogové vstupy	rezerva pro další analogové vstupy

V tabulce jsou vyhrazeny registry pro 16 analogových vstupů, moduly UDAQ-3428*/3429* však mají implementováno pouze prvních osm registrů.

Osmibitový konfigurační registr je rezervován nejen pro aktivaci měření vstupu, ale rovněž pro volbu pracovního rozsahu nebo konfiguraci topologie vstupů (můstkové měření apod.), moduly UDAQ-3428*/3429* však mají implementovány pouze hodnoty 0 (vstup není měřen) a 1 (vstup je měřen s rozsahem ± 10 V), ostatní hodnoty jsou neplatné.

Obsah registrů nesmí být modifikován při spuštěném měření.

Upozornění: Konfigurační registry +B0...+BF byly implementovány až ve verzi firmware 1.0, předešlé verze 0.x využívaly jediný registr na adrese +C4. Viz popis toto registru v dalších odstavcích.

Každý registr slouží k povolení jednoho z osmi vstupů; je-li bit D0 odpovídajícího registru nastaven na 1, data analogového vstupu jsou ukládána do zásobníků FIFO/SWFIFO, je-li nastaven na hodnotu 0, vstup není měřen, resp. jeho data nejsou ukládána do zásobníků.

Data vybraných vstupů jsou ukládána v pořadí nejnižším počínaje (tzn. AIN0, AIN1, ..., AIN7); např. nastavením registrů **ADC2CfgReg**, **ADC3CfgReg** a **ADC6CfgReg** na hodnotu 1 a ostatních **ADC*CfgReg** na hodnotu 0 se do zásobníku ukládá měřicí sekvenci složená z vstupů AIN2, AIN3 a AIN6 v tomto pořadí a vždy nižším byte počínaje.

A/D převodníky používají přímý kód, hodnota 0000_H představuje napětí -10 V, hodnota FFFF_H představuje napětí +10 V a hodnota 8000_H představuje nulové napětí na výstupu.

Všechny analogové vstupy jsou vzorkovány zcela synchronně a výstupní data 14bitových A/D převodníků zpracována volitelně průměrováním z více vzorků a lineární interpolací provádějící kalibraci na pracovní rozsah ± 10 V.

Poznámka: Umožňuje-li to firmware FPGA, alternativně může být jako poslední krok vložena hodnota odpovídající aktuálnímu stavu XDIN0 do bitu D0 dat všech analogových vstupů.

5.10 Struktura konfiguračních registrů pro konfiguraci měření a generování

V tabulce níže je uveden přehled registrů pro konfiguraci analogových vstupů.

Registry pro konfiguraci měření a generování		
ADR (HEX)	význam registru	
	WR	RD
+C0	TimerScanReg dělička pro taktování měření frekvence oscilátoru 120 MHz	zpětné čtení hodnoty zapsané do registru se zohledněním rozsahu 600÷16777215.
+C1		
+C2		
+C3		
+C4	ADCCfgReg duplikuje funkci v prvních osmi ADC*CfgReg	zpětné čtení hodnoty zapsané do registru
+C5	ADCOVerSmplReg průměrování více hodnot ADC (bity D3÷D0) bity D7÷D4 jsou ignorovány/rezervovány	(zpětné čtení)
+C6	(rezerva)	(rezerva)
+C7	(rezerva)	(rezerva)
+C8	TimerGenReg dělička pro taktování generování frekvence oscilátoru 120 MHz dělička má platných 22 bitů	zpětné čtení hodnoty zapsané do registru se zohledněním rozsahu 120÷4194303.
+C9		
+CA		
+CB		
+CC	GenDACCfgReg konfigurační registr generování	zpětné čtení hodnoty zapsané do registru
+CD	(rezerva)	(rezerva)
...		
+CF		

TimerScanReg (dělička pro taktování měření)

Definuje frekvenci signálu, který každým pulzem přenese naměřená data z vybraných analogových vstupů do zásobníku. Data pro děličku využívají dolních 24bitů (tzn. nejvyšší hodnota je 16777215) a dělička využívá signál oscilátoru 120 MHz (tzn. nejnižší hodnota 600 definuje vzorkovací frekvenci měření 200 kHz, nejvyšší hodnota pak frekvenci 7,15 Hz).

Poznámka: Firmware porovnává zapisovanou hodnotu s limitní hodnotou 600; v případě pokusu o zápis hodnoty nižší jsou data nahrazena hodnotou 600 (odpovídá vzorkovací frekvenci 200 kHz).

Obsah registru nesmí být modifikován při spuštění měření.

ADCCfgReg (povolení přenosu dat analogových vstupů do zásobníků)

Registr využívaný ve firmware FPGA verzí 0.x pro povolení měření jednotlivých analogových vstupů je od verze 1.0 nahrazen blokem registrů **ADC*CfgReg** na adresách +B0...+B7; obsah **ADCCfgReg** je de facto přesunut do nejnižších bitů osmi nových registrů **ADC*CfgReg** (D0/+C4 je nahrazen bitem D0/+B0, ..., D7/+C4 je nahrazen bitem D0/+B7).

Obsah registru nesmí být modifikován při spuštění měření.

Důležité: Z důvodu zpětné kompatibility byl ve firmware verze 1.0 ponechán tento registr jako alternativní způsob konfigurace, rozhodně však doporučujeme upravit programy na nový způsob konfigurace.

ADCOVerSmplReg (konfigurace průměrování více hodnot ADC)

Registr umožňuje nastavit průměrování více hodnot ADC, tzn. ADC je spuštěn vícenásobně bezprostředně za sebou a jednotlivé výsledky zprůměrovány. Nastavení je společné pro všechny vstupy.

Hodnota v registru je platná v rozsahu 0÷8 a představuje počet průměrování v rozsahu 2^0 až 2^8 .

Doba měření je úměrná stupni průměrování, jedno měření vyžaduje dobu nepatrně kratší než 6,5 μ s (tzn. je-li hodnotou 2 nastaveno průměrování čtyř výsledků, doba měření je kratší než 26 μ s a maximální vzorkovací frekvence je 38,4 kHz).

Poznámka: Z důvodu vyšší přesnosti není při průměrování záměrně použita nejkratší možná doba převodu 5 μ s.

Při průměrování není testováno, zda zvolená frekvence nepřekračuje mezní možnou frekvenci definovanou jako převrácená hodnota doby měření; pokud je při průměrování čtyř výsledků zvolena vzorkovací frekvence vyšší než 38,4 kHz (tzn. frekvence 1000000/26), dojde k ignorování některých startovacích pulzů (např. pro nastavenou frekvenci 50 kHz dojde ke ztrátě každého druhého startovacího pulzu a měření bude fakticky probíhat frekvencí 25 kHz); tento stav je signalizován ve stavovém registru *StatusReg*, bit D5.

Obsah registru nesmí být modifikován při spuštěném měření.

TimerGenReg (dělička pro taktování generování)

Definuje frekvenci signálu, který každým pulzem přenesení data ze zásobníku na D/A převodníky, resp. digitální výstupy.

Data pro děličku využívají dolních 22bitů (tzn. nejvyšší hodnota je 4194303) a dělička využívá signál oscilátoru 120 MHz (tzn. nejnižší hodnota 600 definuje vzorkovací frekvenci měření 200 kHz, nejvyšší hodnota pak frekvenci 28,6 Hz).

Poznámka: Firmware porovnává zapisovanou hodnotu s limitní hodnotou 80; v případě pokusu o zápis hodnoty nižší než limitní jsou data nahrazena hodnotou 80 (odpovídá vzorkovací frekvenci 1,5 MHz).

Při nastavení vzorkovací frekvence vyšší než 1 MHz může dojít k problémům s přenosem dat vlivem nedostatečné propustnosti USB rozhraní (platí zejména pro režim generování dvou analogových signálů).

Není-li v okamžik pulzu v zásobníku k dispozici dostatečné množství dat, nedojde k žádnému přenosu a je nastaven příznak podtečení. Jakmile se následně v zásobníku objeví dostatek dat, jsou znovu přenášena na výstupy.

Obsah registru nesmí být modifikován při spuštěném generování.

Poznámka: Z uvedeného popisu je patrné, že rozhodnutí o případném ukončení generování má na starosti program, modul sám podtečení jen signalizuje. Naopak při přetečení zásobníku měření je (kromě nastavení příznaku) vždy ukončeno měření.

GenDACCfgReg (povolení přenosu dat ze zásobníku na analogové výstupy)

Tento registr slouží ke konfiguraci generovací sekvence s tím, že každý bit přepíná jeden z analogových výstupů z režimu softwarového řízení do režimu generování.

bit D0 = 0 výstup AOUT0 je nastaven do režimu softwarového řízení (je ovládán registrem *DAC0Reg*)

= 1 výstup AOUT0 je nastaven do režimu generování (je ovládán daty kanálu B)

bit D1 analogický význam pro AOUT1 a registr *DAC1Reg*

...

bit D7 analogický význam pro AOUT7 a registr *DAC7Reg*

Vzhledem k charakteru zásobníku typu FIFO je byte označený jako první (tzn. první načtený ze zásobníku) také první zapisován programem do přístroje.

Obsah registru nesmí být modifikován při spuštěném generování a generování smí být povoleno jen pro existující výstupy.

5.11 Struktura konfiguračních registrů pro spouštění měření a generování

V tabulce níže je uveden přehled registrů pro spouštění analogových vstupů.

Registry pro spouštění měření a generování		
ADR (HEX)	význam registru	
	WR	RD
+D0 ... +D7	(rezerva)	(rezerva)
+D8	CWReg start/stop měření a generování, volba režimu	zpětné čtení hodnoty zapsané do registru
+D9	StatusClrReg zápisem hodnoty 1 na zvoleném bitu se nuluje odpovídající příznak ve StatusReg	StatusReg signalizuje přetečení nebo podtečení zásobníků, start v průběhu sekvence (pro měření i generování)
+DA ... +DD	(rezerva)	(rezerva)
+DE	SWFIFOTrigReg zápis jakýchkoliv dat spustí softwarové měření	SWFIFODataReg čtení dat ze SWFIFO
+DF	(rezerva)	SWFIFOStatusReg aktuální zaplnění SWFIFO

CWReg (hlavní řídicí registr pro start/stop měření a generování, volbu režimu atd.)

Zatímco registry popsané v předešlých odstavcích slouží ke konfiguraci měření a generování, **CWReg** registrem je programu zpřístupněno kompletní řízení procesů měření i generování.

Registr je rozdělen na dvojici čtyřbitových hodnot ovládajících samostatně proces měření (bity D3÷D0, nazýváno SCAN_MODE) a proces generování (bity D7÷D4, nazýváno GENER_MODE), sloučením do jednoho registru je však možné ovládat oba procesy zcela synchronně.

Důležité: Registr **CWReg** ignoruje pokus o zápis neplatných dat. Neplatnými daty se rozumí chyba v jedné nebo druhé čtveřici bitů (popř. obou čtveřicích současně) a v takovém případě je vždy blokován zápis celého byte, nejen chybné čtveřice bitů.

Režimy měření konfigurovatelné registrem CWReg (bity D3÷D0)		
SCAN_MODE	název	význam a funkce
0000	ScanOff	modul neměří, zásobník měření je nulován
0001 *)	ScanSwStd	softwarové spouštění scanovací sekvence s přenosem do SWFIFO (měření ADC je spuštěno až požadavkem o start, přenos dat do SWFIFO čeká na dokončení měření)
0101	ScanSwHS	kontinuální běh scanovací sekvence se softwarovým přenosem do SWFIFO (měření ADC je prováděno trvale cyklicky na pozadí, poslední naměřená data uchovávána ve vyhrazené vyrovnávací paměti a do SWFIFO se pak přenesou téměř okamžitě požadavkem o SW měření)
0010	ScanTim	startování scanovací sekvence časovačem (+ souběžně možnost přenosu do SWFIFO jako v režimu ScanSwHS)
0011 *)	ScanExt	startování scanovací sekvence externím digitálním signálem (+ souběžně možnost přenosu do SWFIFO jako v režimu ScanSwHS)

Poznámka: Režim je **ScanSwStd** implementován, avšak pracuje identicky jako režim **ScanSwHS**. Stávající verze firmware nepodporuje režim **ScanExt**.

Program může měnit **SCAN_MODE** z nulového stavu na nenulový a zpět, nemůže ale přecházet mezi dvěma nenulovými stavy (tzn. přepínat režimy měření bez předchozího zastavení).

Po spuštění měření (tzn. převedení **SCAN_MODE** do nenulového stavu) je prováděna inicializace A/D převodníků a faktický start měření probíhá v závislosti na typu modulu o zlomků milisekund až po desítky milisekund později. Tento jev je potřeba zohlednit při softwarovém čtení naměřených hodnot; ačkoliv je za ustáleného běhu reakce na softwarové čtení

velmi rychlá (zlomek milisekundy), bezprostředně po spuštění měření modul předává naměřená data až po dokončení inicializace. Po spuštění měření je tedy vhodné vložit zpoždění cca 100 ms vyhovující všem typům modulů a až poté provádět softwarová čtení naměřených hodnot.

Režimy generování konfigurovatelné registrem CWReg (bity D7÷D4)		
GENER_MODE	název	význam a funkce
0000	GenOff	modul negeneruje, zásobník měření je nulován, periferie jsou řízeny registry
0010	GenStreamTim	startování GEN sekvence časovačem v režimu "stream"
0011 *)	GenStreamExt	startování GEN sekvence externím digitálním signálem v režimu "stream"
0110 *)	GenCircTim	startování GEN sekvence časovačem v režimu "circular buffer"
0111 *)	GenCircExt	startování GEN sekvence externím digitálním signálem v režimu "circular buffer"
1111	GenBuffer	zásobník generování je plněn daty z kanálu B, ale modul negeneruje

Poznámka: Stávající verze firmware nepodporuje režimy *GenStreamExt*, *GenCircTim* a *GenCircExt*.

Program může měnit **GENER_MODE** výhradně v pořadí ze stavu 0000 na stav 1111, pak na kterýkoliv další nenulový a pak zpět na 0000, tzn. nemůže přecházet mezi dvěma funkčními generovacími režimy bez předchozího zastavení. Povoleno je i přechod z 1111 zpět na 0000, tedy přerušný start generování.

Popis jednotlivých typů měření a použitých zásobníků dat

Modul obsahuje dva zásobníky pro přenos naměřených dat. Prvním je hlavní zásobník FIFO určený pro souvislý přenos dat kanálem B, v tomto případě registry spouštějí a zastavují proces měření, ale vlastní přenos dat je řešen autonomně obvody modulu, resp. spuštěným procesem na straně počítače zpracovávajícím data kanálu B. Druhý zásobník označený SWFIFO slouží k načtení aktuálních hodnot na pokyn z počítače kanálem A (tzn. jednorázové měření na softwarový pokyn). Softwarové měření je k dispozici ve všech režimech a je funkční souběžně s přenosem kanálem B.

Modul má předdefinovány dva režimy pro čisté softwarové měření (tzn. bez souběžných přenosů kanálem B); v režimu **ScanSwStd** proběhne jednorázové měření na povel (tzn. po zápisu do *SWFIFOTrigReg* je potřeba vyčkat na odměření signálů a naplnění SWFIFO zásobníku daty), v režimu **ScanSwHS** probíhá měření signálů trvale cyklicky na pozadí a povel pro start měření jen přenesení poslední naměřená data do SWFIFO zásobníku (čekání je tedy velmi krátké). V obou případech je obsah SWFIFO nulován při povelu zahajujícím měření (tzn. zápisu do *SWFIFOTrigReg*), zásobník proto obsahuje vždy jen aktuální data.

V případě režimů spouštěných časovačem nebo externím signálem s přenosy kanálem B probíhá softwarové měření analogicky režimu **ScanSwHS**.

Popis jednotlivých typů generování

Při generování lze uvažovat dva základní režimy, generování s průběžným doplňováním dat a generování s cyklickým přenosem dat ze zásobníku modulu.

V prvním případě program aktivuje režim **GenBuffer**, zapíše do modulu dostatečné množství dat pro počáteční spuštění (může naplnit i celý zásobník modulu) a následně spustí generování režimem **GenStreamTim** nebo **GenStreamExt**. Od okamžiku spuštění generování pak program musí doplňovat data tak, aby nedošlo k úplnému vyprázdnění zásobníku.

V druhém případě program aktivuje režim **GenBuffer**, zapíše do modulu celé množství dat určené pro cyklické měření a následně spustí generování režimem **GenCircTim** nebo **GenCircExt**. Od okamžiku spuštění generování modul autonomně generuje a program již nemůže zapsaná data nijak doplňovat nebo modifikovat; režim se tedy hodí výhradně pro generování periodických jevů.

Poznámka: Aktuální verze firmware nepodporuje režimy *GenCircTim*, *GenStreamExt* a *GenCircExt* (implementace je připravována do dalších verzí).

Jelikož lze analogové výstupy nevyužité pro generování ovládat přímo registry, moduly neobsahují žádný speciální softwarový režim generování analogický softwarovému měření.

StatusReg (signalizuje přetečení nebo podtečení zásobníků, start v průběhu sekvence)

Registr s chybovými příznaky měření/generování (možnost selektivního nulování příznaků, viz *StatusClrReg*).

- D1 WARNING (úroveň 1 signalizuje pokus o start měřicí sekvence v době, kdy ještě probíhala předešlá)
- D3 ERROR (úroveň 1 signalizuje přetečení zásobníku naměřených dat; měření se zastaví)
- D5 WARNING (úroveň 1 signalizuje pokus o start generovací sekvence v době, kdy ještě probíhala předešlá)
- D6 WARNING (úroveň 1 signalizuje podtečení zásobníku generování; generování pokračuje dál)
- D7 ERROR (úroveň 1 signalizuje chybu příchozích dat pro generování; čtení dat z počítače je ukončeno, generování je ukončeno až po vyprázdnění zásobníku)

StatusClrReg (nulování příznaků ve StatusReg)

Zápisem hodnoty 1 na zvoleném bitu se nuluje odpovídající příznak ve *StatusReg*. Následný zápis 0 není potřeba.

SWFIFOTrigReg (inicializuje softwarové měření a přenos dat SWFIFO)

Zápis jakýchkoliv dat (avšak za podmínky spuštěného měření)...

- vynuluje aktuální obsah SWFIFO
- spustí měřicí sekvenci (pouze v režimu SCAN_MODE = 0001)
- přenese poslední naměřená data do SWFIFO (ve všech podporovaných režimech SCAN_MODE různých od 0)

SWFIFOStatusReg (definuje aktuální zaplnění SWFIFO)

Registr předává informaci o zaplnění SWFIFO daty (tzn. počet byte v SWFIFO v rozsahu 0÷255).

SWFIFODataReg (pro čtení dat ze SWFIFO)

Registr zpřístupňuje obsah SWFIFO; každým čtením se dekrementuje registr *SWFIFOStatusReg*.

5.12 Struktura registrů pro speciální interní funkce

V tabulce níže je uveden přehled registrů pro speciální interní funkce.

Registry pro speciální interní funkce		
ADR (HEX)	význam registru	
	WR	RD
+EO ... +EB	(rezerva)	(rezerva)
+EC	FreeRunCNTStrReg zápisem zpřístupňuje hodnotu FreeRunCNT	FreeRunCNTReg 32bitový čítač inkrementovaný frekvencí 1 MHz z nulového stavu od okamžiku konfigurace FPGA nebo resetu, po přetečení hodnoty 4294967295 pokračuje znovu od nuly
+ED	(rezerva)	
+EE	(rezerva)	
+EF	(rezerva)	

Firmware má implementován 32bitový čítač inkrementovaný frekvencí 1 MHz z nulového stavu od okamžiku konfigurace FPGA nebo resetu. Po přetečení hodnoty 4294967295 (cca 1 hodina 11 minut 35 sekund) pokračuje znovu od nuly.

Registrová struktura umožňuje číst nejen aktuální hodnotu čítače, ale rovněž hodnoty zachycené v okamžik startu měření a startu generování.

FreeRunCNTStrReg (registr pro zachycení a zpřístupnění hodnoty čítače FreeRunCNT)

Zápisem hodnoty 0 se zachytí aktuální stav čítače FreeRunCNT a zpřístupní registrem *FreeRunCNTReg*.

Zápisem hodnoty 1 se ve *FreeRunCNTReg* zpřístupní hodnota čítače automaticky zachycená v okamžik startu měření.

Zápisem hodnoty 1 se ve *FreeRunCNTReg* zpřístupní hodnota čítače automaticky zachycená v okamžik startu generování.

FreeRunCNTReg (registr pro čtení zachycených hodnot čítače FreeRunCNT)

Registr zpřístupňuje hodnotu čítače zvolenou, resp. i zachycenou registrem *FreeRunCNTStrReg*.

6. Příklady softwarové obsluhy

6.1 Úvod

Dále uvedené odstavce jsou věnovány popisu softwarové obsluhy nejběžnějších úloh.

Upozornění: V dalším popisu se uvažuje stav po provedení UP4 příkazu *Start firmware*, tzn. úspěšném převedení z režimu IDLE do režimu RUN, viz popis v dokumentu "UDAQ moduly druhé generace, společné vlastnosti".

6.2 Úvodní inicializace po otevření spojení s modulem

Po otevření spojení s modulem by měl program ukončit běh procesů, které mohly zůstat spuštěné od předešlého programu; v případě modulů UDAQ-3428*/3429* jde v podstatě jen o zápis *CWReg=0* a případně smazání příznaků pomocí registru *StatusClrReg*.

6.3 Jednorázový přístup k digitálním vstupům

Pro softwarovou obsluhu digitálních vstupů postačuje číst registr *DIN1Reg*, popř. *XDINReg* v případě XDIN vstupu; přístup k digitálním vstupům je možný kdykoliv bez ohledu na probíhající měření nebo generování.

6.4 Jednorázový přístup k digitálním výstupům

Pro softwarovou obsluhu digitálních výstupů postačuje zapisovat do registru *DOUT0Reg*; přístup k digitálním výstupům je možný kdykoliv bez ohledu na probíhající měření nebo generování.

6.5 Jednorázový přístup k analogovým výstupům

Pro softwarovou obsluhu analogových výstupů je potřeba zajistit, že výstupy nejsou konfigurovány pro automatické generování, případně jiný režim, který znemožňuje přímý přístup. V případě UDAQ-3428*/3429* jde v podstatě jen nastavení pomocí registru *GenCfgReg*.

Následně již může program přímo ovládat vybrané analogové výstupy (registry *DAC*Reg*).

Přístup k registrům analogových výstupů je tedy možný kdykoliv bez ohledu na probíhající měření nebo generování, zapsané hodnoty se ale projeví pouze u výstupů nastavených do režimu softwarového řízení (u výstupů nastavených do režimu generování se obsah registrů projeví až po přepnutí výstupů do režimu softwarového řízení).

6.6 Jednorázový přístup k čítačům

Pro softwarovou obsluhu čítačů je potřeba porozumět principu stránkování registrových bloků.

V prvním kroku je potřeba pomocí registru *PageSelectReg* zvolit stránku, do níž jsou mapovány registry požadovaného čítače; čítač CNT0 je mapován do stránky 0 (do registru *PageSelectReg* je tedy potřeba zapsat 0), čítač CNT7 je mapován do stránky 7 (do registru *PageSelectReg* je tedy potřeba zapsat 7). Od tohoto okamžiku jsou v adresovém intervalu +2F...20 mapovány registry zvoleného čítače.

V navazujících odstavcích bude popsáno ovládání čítače CNT0 (tzn. do *PageSelectReg* zapsána hodnota 0).

Pro vynulování hodnoty čítače CNT0 postačuje zapsat do registru *Page0CWReg* na adrese +2F hodnotu 00000001_B (následný zápis 00000000_B není potřeba).

Pro nastavení hodnoty čítače CNT0 je potřeba v prvním kroku zapsat do registru *CNT0SetReg* požadovanou 32bitovou hodnotu a následně ji přenést do čítače zápisem 00000010_B do registru *Page0CWReg*.

V případě čtení hodnoty čítače CNT0 je potřeba v prvním kroku přenést stav čítače zápisem 00000100_B do registru *Page0CWReg* a následně 32bitovou hodnotu přečíst z registru *CNT0StrReg*.

Spuštění čítání a zastavení čítání je řízeno signálem ENA ovládaným *Page0CWReg*; zápisem 10000000_B dojde k nastavení ENA na hodnotu 1 a tedy povolení čítání, zápisem 00100000_B dojde k nastavení ENA na hodnotu 0 a tedy povolení čítání.

Ovládání dalších čítačů je analogické ovládání CNT0 s tím rozdílem, že do *PageSelectReg* zapisována hodnota 1÷7.

Firmware umožňuje i společné ovládání vybraných, případně i všech čítačů. V prvním kroku je potřeba obsahem stránky 255 zvolit potřebné čítače pro synchronní ovládání. Je-li požadováno například společné řízení čítačů CNT0, CNT2 a CNT7, je potřeba nejprve zvolit stránku 255 (tzn. do *PageSelectReg* zapsána hodnota 255) a v druhém kroku zapsat na adresu +20 hodnotu 10000101_B odpovídající zvoleným čítačům. Následné ovládání čítačů popsané v předešlých odstavcích zůstává plně funkční, navíc však lze využít registr *PagesCWReg* na adrese +31 (zápis do tohoto registru provede de facto simultánní zápis do všech registrů *Page***CWReg* na adrese +2F povolených maskou na stránce 255, tzn. provede současný zápis do registrů *Page0CWReg*, *Page2CWReg* a *Page7CWReg*) a například v jeden okamžik spustit čítání vybraných čítačů, případně zastrobovat stav čítačů a následně zastrobované hodnoty přečíst.

6.7 Obsluha měření

Z pohledu obsluhy měření je potřeba oddělit režimy softwarového měření (SCAN_MODE = 0001 a SCAN_MODE = 0101), kde data nejsou přenášena kanálem B, a ostatní režimy využívající kanál B.

Ve všech případech je potřeba nejprve nakonfigurovat měření; v případě UDAQ-3428*/3429* jde o zápis do registrů *ADC*CfgReg* a *ADCOVerSmplReg*, případně ještě *TimerScanReg*.

Následně v případě režimů využívajících kanál B je potřeba aktivovat na straně počítače proces přijímající data z modulu.

V třetím kroku je potřeba spustit měření pomocí registru *CWReg*; od tohoto okamžiku je v případě režimů využívajících kanál B zahájen přenos dat.

Ve všech režimech lze využívat softwarové měření, tedy jednorázový přenos dat kanálem A; sekvence vyžaduje zápis do registru *SWFIFOTrigReg*, následně vyčkat na naplnění SWFIFO daty (UP4 protokol umožňuje vložit zpoždění 1 ms do sekvence zápisových/čtecích operací), přečíst obsah *SWFIFOStatusReg* a nakonec opakovaně číst registr *SWFIFODataReg* (počet čtení odpovídá délce dat podle nakonfigurované měřicí sekvence). Celou sekvenci lze realizovat jediným UP4 povel; odpověď pak obsahuje pro kontrolu stav zaplnění SWFIFO a následně všechna data SWFIFO.

Pro ukončení měření postačuje nastavit *CWReg*, resp. SCAN_MODE na hodnotu 0 a případně smazat nastavené příznaky pomocí registru *StatusClrReg*. Na straně počítače pak ukončit proces přijímající data z modulu.

Poznámka: Měření může být konfigurováno, spouštěno a zastavováno nezávisle na generování.

6.8 Obsluha generování

Obsluhu generování lze rozdělit do tří kroků; v prvním kroku je potřeba nakonfigurovat, které periferie mají být použity pro generování a nastavit parametry generování, v druhém kroku je potřeba naplnit zásobník modulu dostatečným množstvím dat a v třetím kroku pak spustit generování a případně doplňovat další data (není-li zvolen cyklický režim).

V prvním kroku je tedy potřeba nejprve nakonfigurovat periferie (tzn. registr *GenCfgReg*) a případně ještě nastavit frekvenci generování pomocí *TimerScanReg*.

V druhém kroku je potřeba zvolit režim GEN_MODE = 1111, následně aktivovat na straně počítače proces vysílající data do modulu a zaplnit zásobník modulu dostatečným množstvím dat pro počáteční spuštění (program může naplnit i celý zásobník modulu). V případě cyklického generování je potřeba přenést do modulu všechna data.

Ve třetím kroku je zvolen potřebný režim GEN_MODE a v závislosti na režimu doplňovat data do zásobníku.

Pro ukončení generování postačuje nastavit *CWReg*, resp. GEN_MODE na hodnotu 0 a případně smazat nastavené příznaky pomocí registru *StatusClrReg*. Na straně počítače pak ukončit proces vysílající data do modulu.

Poznámka: Generování může být konfigurováno, spouštěno a zastavováno nezávisle na měření.



Výroba, prodej, servis a technická podpora:

adresa: TEDIA® spol. s r. o.
Zábělská 12
31211 Plzeň
Česká republika

internet: <http://www.tedia.cz>
<http://www.tedia.eu>

telefon: aktuální informace najdete na adrese
<http://www.tedia.cz/kontakty>

e-mail: aktuální informace najdete na adresách
<http://www.tedia.cz/kontakty>
<http://www.tedia.cz/podpora>